

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

PAT-NO: JP356058267A

DOCUMENT-IDENTIFIER: JP 56058267 A

TITLE: INSULATED GATE TYPE FIELD-EFFECT TRANSISTOR

PUBN-DATE: May 21, 1981

INVENTOR-INFORMATION:

NAME

KATO, KUNIHARU

NAGANO, HITOSHI

SHIMADA, YUKI

IMAI, SHUSABURO

HIDESHIMA, KENJI

HANEDA, HISASHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NIPPON TELEGR & TELEPH CORP <NTT>

N/A

NEC CORP

N/A

APPL-NO: JP54132908

APPL-DATE: October 17, 1979

INT-CL (IPC): H01L029/78, H01L029/08, H01L029/60

US-CL-CURRENT: 257/330, 257/335, 257/E29.04, 257/E29.131,

257/E29.26

, 257/E29.262

ABSTRACT:

PURPOSE: To decrease the concentration of an electric field and increase dielectric resistance by a mechanism wherein a gate SiO_2 film is formed on a wall surface of a concave section made up to a drain region when preparing a longitudinal MOSFET, and a region having the extremely low concentration of impurities is previously formed into the drain region at a nose of the concave section.

CONSTITUTION: An N-type layer 202 functioning as the second drain region is grown on an N-type semiconductor substrate 201 serving as the first drain region in an epitaxial shape, a P type layer 203 is formed on the layer 202, and an N-type source region 204 is made up into the layer 203 in a diffusion shape. A groove section 205, which is located at the central section of the region 204 and a nose thereof is put into the layer 202, is bored, the wall surface is coated with an Al gate electrode 207 through a gate SiO_2 film 206, a window is opened to the SiO_2 film formed on an exposed surface of the layer 203 and a source electrode 208 contacting with the region 204 is made up, and a drain electrode 209 is built up on the back of the substrate 201, thus forming an FET. An N-type region 210 is previously made up into the layer 202 in response to the nose of the groove section 205 in this constitution, the distribution of potential here is eased, the concentration of an electric field is decreased, and the FET is made resistant to high voltage.

COPYRIGHT: (C)1981,JPO&Japio

⑫ 公開特許公報 (A)

昭56—58267

⑤ Int. Cl.³

H 01 L 29/78

29/08

29/60

識別記号

庁内整理番号

6603—5F

7514—5F

7638—5F

④ 公開 昭和56年(1981)5月21日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 絶縁ゲート型電界効果トランジスタ

本電信電話公社武蔵野電気通信
研究所内

⑯ 特 願 昭54—132908

⑰ 発 明 者 今井修三郎

⑱ 出 願 昭54(1979)10月17日

東京都港区芝五丁目33番1号日

⑰ 発 明 者 加藤邦治

本電気株式会社内

武蔵野市緑町三丁目9番11号日

⑰ 発 明 者 秀島研二

本電信電話公社武蔵野電気通信
研究所内

東京都港区芝五丁目33番1号日

⑰ 発 明 者 永野仁

本電気株式会社内

武蔵野市緑町三丁目9番11号日

⑰ 発 明 者 羽田尚志

本電信電話公社武蔵野電気通信
研究所内

東京都港区芝五丁目33番1号日

⑰ 発 明 者 島田悠紀

⑲ 出 願 人 日本電信電話公社

武蔵野市緑町三丁目9番11号日

⑲ 代 理 人 弁理士 中村純之助

最終頁に続く

明 細 書

1. 発明の名称 絶縁ゲート型電界効果トラン
ジスタ

2. 特許請求の範囲

第1導電型の第1のドレイン領域と、該第1のドレイン領域に隣接して設けられた、第1のドレインよりも高比抵抗を有する第2のドレイン領域と、該第2のドレイン領域に隣接して設けられた第1導電型とは逆の第2導電型の領域と、該第2導電型の領域に隣接して設けられた第1導電型のソース領域と、該ソース領域から上記第2のドレイン領域に達する溝部と、該溝部内の上記第2導電型の領域の表面上に薄い絶縁膜を介して設けられたゲート電極とを具備する絶縁ゲート型電界効果トランジスタにおいて、上記第2のドレイン領域中の上記溝部の先端が突出している部分を取り囲むように設けられた、上記第2のドレインとは異なる比抵抗を有する第1あるいは第2導電型の領域を有することを特徴とする絶縁ゲート型電界

効果トランジスタ。

3. 発明の詳細な説明

本発明は第1導電型の第1のドレイン領域と、該第1のドレイン領域に隣接して設けられた、第1のドレインよりも高比抵抗を有する第2のドレイン領域と、該第2のドレイン領域に隣接して設けられた、第1導電型とは逆の第2導電型の領域と、該第2導電型の領域に隣接して設けられた第1導電型のソース領域と、該ソース領域から上記第2のドレイン領域に達する溝部と、該溝部内の上記第2導電型の領域の表面上に薄い絶縁膜を介して設けられたゲート電極とを具備する絶縁ゲート型電界効果トランジスタに関する。

高耐圧化をはかる目的で溝部を設けた絶縁ゲート型電界効果トランジスタ(以下本明細書においてはV-MOSFETと略称する)が提案されている。第1図は従来技術によるV-MOSFETの構造を断面図で示す。すなわち、従来技術によればN⁺型で第1のドレイン領域である低抵抗層基板101上に、この基板101より高比抵抗で、第

2のドレイン領域である N^- 層102を設け、さらにP型領域103、 N^+ 領域104を形成する。そして、表面より溝部105を設ける。この溝部105は、 N^+ 領域104、およびP型領域103を突き抜け、 N^- 層102に達するように形成され、さらに二酸化シリコン膜106でおおわれるこの二酸化シリコン膜106上にA δ 等のゲート電極107が設けられる。また、 N^+ 領域104はA δ 等のソース電極108に接続され、一方 N^+ 型低抵抗層基板101にはAu等のドレイン電極109が接続される。

このようなV-MOSFETの基本動作は、エンハンスメント型の場合には、ゲート電極107にソース電極108に対し正電圧を加えることにより、ゲート電極下のP型領域103の表面にチャネルが形成され、ドレインソース間に電流が流れ、ゲート電圧の大きさによりドレインソース間の電流量が調整される。

しかしながら以上のような従来技術によるV-MOSFETにおいては、次に述べる欠点がある。

・ 3 ・

第2図は本発明の第1の実施の態様によるV-MOSFETの断面図である。図中、201は第1のドレイン領域である N^+ 型低抵抗層基板、202は N^+ 型低抵抗層基板201よりも高比抵抗の第2のドレイン領域である N^- 層、203は N^- 層202上に設けられたP型領域、204はソースとなる N^+ 領域である。205は、ソースとなる N^+ 領域204とP型領域203を突き抜け、 N^- 層202に突出する溝部である。206は溝部205をおおうように形成された二酸化シリコン膜で、207はA δ 等によってできたゲート電極である。208はA δ 等によってできたソース電極、209はAu等のドレイン電極である。210は溝部205の N^- 層202への突出部を取り囲むように形成された N^{--} (N^- 層より高比抵抗)領域である。

次に本発明の基本動作を説明する。ゲート電極207にソース電極208に対して正電位を加えトランジスタ動作をさせることは、従来のV-MOSFETと同じである。続いてOFF状態

・ 5 ・

る。すなわち、ドレインソース間の耐圧は、P型領域103および N^- 層102の厚さや比抵抗によっても決まるが、ドレインゲート間の電界集中が溝部突出部分におこるために、溝部の N^- 層102への突出距離の長短がドレインソース間耐圧に大きく影響する。したがって、一定の N^- 層102の比抵抗において高耐圧を実現するには、この突出距離をほぼ零にすれば良いが、製造上このミクロン単位の突出距離の制御は非常にむずかしく、高耐圧化への問題点となっている。

本発明の目的は、したがって、前述のような困難な製造工程を経ずに製造することができる、高耐圧のV-MOSFETを提供することである。

上記目的を達成するために、本発明によるV-MOSFETは冒頭に述べた種類のV-MOSFETがさらに第2のドレイン領域中の溝部の先端が突出している部分を取り囲むように設けられた、第2のドレインとは異なる比抵抗を有する第1あるいは第2導電型の領域を有することを要旨とする。

・ 4 ・

について説明する。OFF状態(ソースを正、ドレインを負)での耐圧は、P型領域203と N^- 層202が形成するPN接合部での電界集中、あるいは、溝部205の N^- 層202への突出部での電界集中によって決定される。特にこの溝部205の突出距離が長い場合ほどこの部分での電界集中が顕著となり、耐圧を決定する。したがって、溝部205の突出部に N^{--} 領域210を設けることはこの部分での電位分布をゆるやかにし、すなわち電界集中を緩和することになり高耐圧化が可能となる。ON抵抗について考えれば、耐圧とのかね合いから、 N^{--} 領域210の厚さを決定すれば良く、第1図の N^- 層102を極端に低不純物濃度にして高耐圧化するのに比べON抵抗の点でも有利と考えられる。

第3図は、溝部がV字形に形成されている本発明の第2の実施の態様によるV-MOSFETの断面図である。図中、301は N^+ 型低抵抗層基板、302は N^+ 型低抵抗層基板301よりも高比抵抗な N^- 層、303は N^- 層302上に設けられた

・ 6 ・

P型領域、304はソースとなる N^+ 領域である。305は、ソースとなる N^+ 領域304とP型領域303を突き抜け、 N^- 層302に突出するV溝である。306は、V溝305をおおひょうに形成された酸化シリコン膜で、307はA δ 等によってできたゲート電極である。308はA δ 等によってできたソース電極、309はAu等のドレイン電極である。310は、V溝305の N^- 層302への突出部をとりかこむように形成された N^{--} 領域である。この基本動作については第2図の説明と同様であるが、V溝の突起部は鋭角(約70°)となっているので、第2図の溝より電界集中が顕著となり、本発明がさらに効果的に働くと考えられる。

第4図は本発明のさらに他の一つの実施の態様によるV-MOSFETの断面図である。以上二つの実施の態様においては、第2図の210および第3図の310は低抵抗層基板と同一導電型と書いたけれども、このことは必ずしも必要な条件ではない。実際には、溝部の第2ドレイン領域の突

出部を取り囲んでいる領域はイントリンシックな半導体に近く、チャネルが形成される領域と同一導電型であっても差支えない。第4図中、211はこのような P^- 領域を意味し、他の引用番号はすべて第2図の同一の引用番号と同一のものを意味する。第4図に示すV-MOSFETも前に述べた二つの実施の態様によるV-MOSFETと全く同様に動作し、また第3図に示すV-MOSFETにおいて、 N^{--} 領域が P^- 領域であることもできる。

以上説明したように、溝部の第2のドレイン領域への突出部に第2のドレイン領域よりも高い比抵抗を有する領域を形成することによって、突出部での電界集中を緩和できるので、本発明によれば、容易に高耐圧V-MOSFETを製造することができる。

4. 図面の簡単な説明

第1図は従来のV-MOSFETの断面図、第2図から第4図までは本発明のそれぞれ異った実施の態様によるV-MOSFETの断面図である。

- 201, 301 - N^+ 型低抵抗層基板
- 202, 302 - N^- 層
- 203, 303 - P^- 型領域
- 204, 304 - N^+ 領域
- 205 - 溝部
- 305 - V溝
- 206, 306 - 酸化シリコン膜
- 207, 307 - ゲート電極
- 208, 308 - ソース電極
- 209, 309 - ドレイン電極
- 210, 310 - N^{--} 領域
- 211 - P^- 領域

特許出願人 日本電信電話公社
(特許1名)
代理人 弁理士 中村純之助

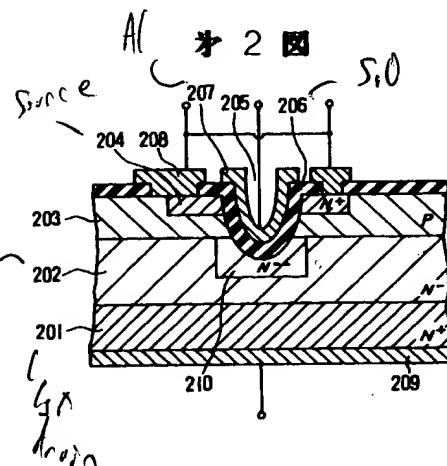
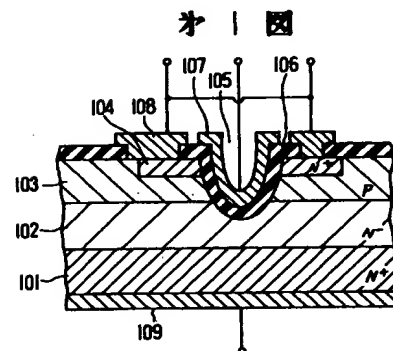


図 3

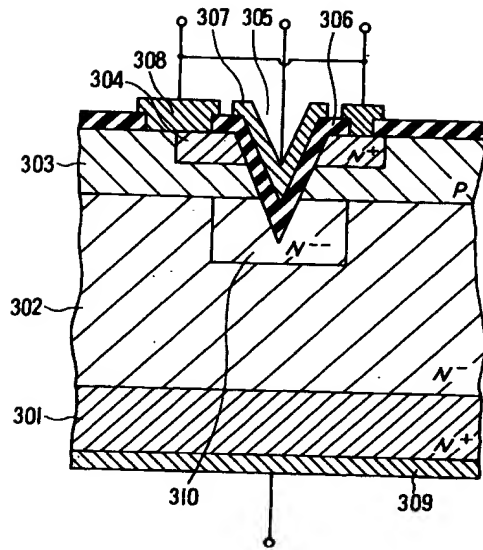
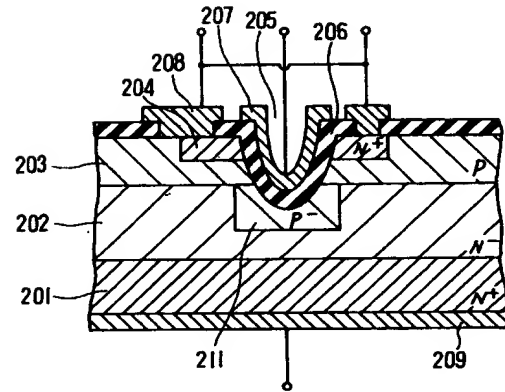


図 4



第 1 頁の続き

⑦出 願 人 日本電気株式会社
東京都港区芝五丁目33番 1 号